

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-293590

(43)公開日 平成8年(1996)11月5日

(51)Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/12			H 01 L 27/12	B
21/02			21/02	F
21/762			21/76	B
29/786			29/78	D
				6 2 7 D
			審査請求 未請求 請求項の数7 OL (全9頁)	最終頁に続く

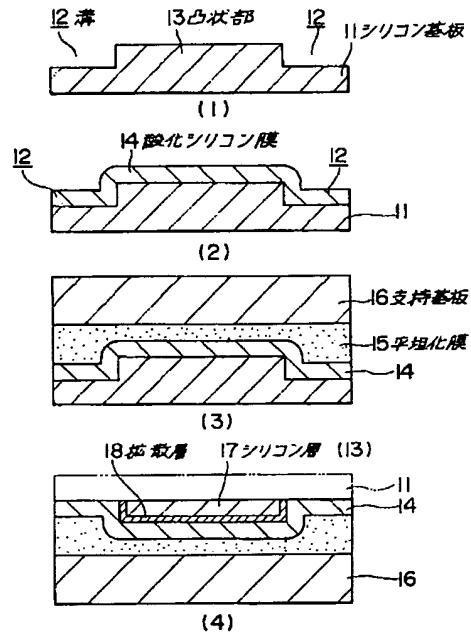
(21)出願番号	特願平7-96930	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成7年(1995)4月21日	(72)発明者	守屋 博之 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	弁理士 船橋 國則

(54)【発明の名称】張り合わせ基板の製造方法およびトランジスタの製造方法

(57)【要約】

【目的】本発明は、不純物の偏析によるS O I基板のシリコン層の不純物濃度が変動するのを抑制し、いわゆるキックの発生を無くしてトランジスタの電流-電圧特性の向上を図る。

【構成】シリコン基板11に溝12を形成して凸状部13を形成し(第1工程)、溝12の内壁を含むシリコン基板11の表面にホウ素を含む酸化シリコン膜14を形成し(第2工程)、次いで酸化シリコン膜14の表面に平坦化膜15を形成した後、その表面を支持基板16に張り合わせ(第3工程)、その後酸化シリコン膜14中のホウ素をシリコン層17の界面近傍に拡散させて拡散層18を形成する(熱処理工程)。そしてこのシリコン層17にM I S型トランジスタ(図示省略)を形成する。



張り合わせ基板の第1実施例の製造工程図

1

## 【特許請求の範囲】

【請求項1】 シリコン基板に溝を形成して凸状部を形成する第1工程と、前記溝の内壁を含む前記シリコン基板表面にホウ素を含む酸化シリコンからなる絶縁膜を形成する第2工程と、前記絶縁膜の表面に平坦化膜を形成した後、該平坦化膜の表面を支持基板に張り合わせる第3工程と、前記絶縁膜をトップアにして前記シリコン基板の裏面側から除去して、前記シリコン基板の凸状部を残してシリコン層を形成する第4工程と、前記第2工程以降に行う工程であって、前記絶縁膜中のホウ素を前記シリコン層界面近傍に拡散させる熱処理工程とを備えたことを特徴とする張り合わせ基板の製造方法。

【請求項2】 シリコン基板に溝を形成して凸状部を形成する第1工程と、前記溝の内壁を含む前記シリコン基板表面に酸化シリコンからなる絶縁膜を形成した後、該絶縁膜にホウ素をドーピングする第2工程と、前記絶縁膜の表面に平坦化膜を形成した後、該平坦化膜の表面を支持基板に張り合わせる第3工程と、前記絶縁膜をトップアにして前記シリコン基板の裏面側から除去して、前記シリコン基板の凸状部を残してシリコン層を形成する第4工程と、前記第2工程以降に行う工程であって、前記絶縁膜中のホウ素を前記シリコン層界面近傍に拡散させる熱処理工程とを備えたことを特徴とする張り合わせ基板の製造方法。

【請求項3】 シリコン基板に溝を形成して凸状部を形成する第1工程と、前記溝の内壁を含む前記シリコン基板表面にホウ素を含む酸化シリコンからなる絶縁膜を形成する第2工程と、前記絶縁膜の表面に平坦化膜を形成した後、該平坦化膜の表面を支持基板に張り合わせる第3工程と、前記絶縁膜をトップアにして前記シリコン基板の裏面側から除去して、前記シリコン基板の凸状部を残してシリコン層を形成する第4工程と、前記シリコン層上にゲート絶縁膜を形成し、次いで該ゲート絶縁膜上的一部分にゲート電極を形成し、その後該ゲート電極の両側の該シリコン層に不純物をドーピングしてソース・ドレイン領域を形成する第5工程と、前記第2工程以降に行う工程であって、前記絶縁膜中のホウ素を前記シリコン層界面近傍に拡散させる熱処理工程とを備えたことを特徴とするトランジスタの製造方法。

【請求項4】 シリコン基板に溝を形成して凸状部を形成する第1工程と、前記溝の内壁を含む前記シリコン基板表面に酸化シリコンからなる絶縁膜を形成した後、該絶縁膜にホウ素をドーピングする第2工程と、

2

前記絶縁膜の表面に平坦化膜を形成した後、該平坦化膜の表面を支持基板に張り合わせる第3工程と、

前記絶縁膜をトップアにして前記シリコン基板の裏面側から除去して、前記シリコン基板の凸状部を残してシリコン層を形成する第4工程と、

前記シリコン層上にゲート絶縁膜を形成し、次いで該ゲート絶縁膜上的一部分にゲート電極を形成し、その後該ゲート電極の両側の該シリコン層に不純物をドーピングしてソース・ドレイン領域を形成する第5工程と、

10 前記第2工程以降に行う工程であって、前記絶縁膜中のホウ素を前記シリコン層界面近傍に拡散させる熱処理工程とを備えたことを特徴とするトランジスタの製造方法。

【請求項5】 シリコン基板に溝を形成して第1凸状部と第2凸状部とを形成する第1工程と、

前記溝の内壁を含む前記シリコン基板表面にホウ素を含む酸化シリコンからなる絶縁膜を形成する第2工程と、前記絶縁膜の表面に平坦化膜を形成した後、該平坦化膜の表面を支持基板に張り合わせる第3工程と、

20 前記絶縁膜をトップアにして前記シリコン基板の裏面側から除去して、前記シリコン基板の第1凸状部と第2凸状部とを残して第1シリコン層と第2シリコン層とを形成する第4工程と、

前記第1シリコン層上に第1ゲート絶縁膜を形成するとともに前記第2シリコン層上に第2ゲート絶縁膜を形成した後、該第1ゲート絶縁膜上的一部分に第1ゲート電極を形成するとともに該第2ゲート絶縁膜上的一部分に第2ゲート電極を形成する第5工程と、

前記第1ゲート電極の両側の前記第1シリコン層に第1導電型の不純物をドーピングして第1ソース・ドレイン領域を形成する第6工程と、

前記第2ゲート電極の両側の前記第2シリコン層に前記第1導電型とは逆導電型の第2導電型の不純物をドーピングして第2ソース・ドレイン領域を形成する第7工程と、

前記第2工程以降に行う工程であって、前記絶縁膜中のホウ素を前記シリコン層界面近傍に拡散させる熱処理工程とを備えたことを特徴とするトランジスタの製造方法。

40 【請求項6】 シリコン基板に溝を形成して第1凸状部と第2凸状部とを形成する第1工程と、

前記溝の内壁を含む前記シリコン基板表面に酸化シリコンからなる絶縁膜を形成した後、該絶縁膜にホウ素をドーピングする第2工程と、

前記絶縁膜の表面に平坦化膜を形成した後、該平坦化膜の表面を支持基板に張り合わせる第3工程と、

前記絶縁膜をトップアにして前記シリコン基板の裏面側から除去して、前記シリコン基板の第1凸状部と第2凸状部とを残して第1シリコン層と第2シリコン層とを形

50 成する第4工程と、

前記第1シリコン層上に第1ゲート絶縁膜を形成するとともに前記第2シリコン層上に第2ゲート絶縁膜を形成した後、該第1ゲート絶縁膜上的一部分に第1ゲート電極を形成するとともに該第2ゲート絶縁膜上的一部分に第2ゲート電極を形成する第5工程と、

前記第1ゲート電極の両側の前記第1シリコン層に第1導電型の不純物をドーピングして第1ソース・ドレイン領域を形成する第6工程と、

前記第2ゲート電極の両側の前記第2シリコン層に前記第1導電型とは逆導電型の第2導電型の不純物をドーピングして第2ソース・ドレイン領域を形成する第7工程と、

前記第2工程以降に行う工程であって、前記絶縁膜中のホウ素を前記シリコン層界面近傍に拡散させる熱処理工程とを備えたことを特徴とするトランジスタの製造方法。

【請求項7】 請求項6記載のトランジスタの製造方法において、

前記第2工程におけるホウ素のドーピングは、第1凸状部を覆う酸化シリコンからなる絶縁膜にのみ選択的に行い、

前記第6工程における第1導電型の不純物はn型不純物であることを特徴とするトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置を形成するための張り合わせ基板の製造方法およびその張り合わせ金属を用いたトランジスタの製造方法に関するものである。

【0002】

【従来の技術】 SOI (Silicon on Insulator) 基板を用いたトランジスタの構成を図9によって説明する。図9の(1)は平面視的なレイアウト図を示し、図の(2)はA-A線断面図を示す。図に示すように、基板111は、少なくとも上層に酸化シリコン層112が形成され、酸化シリコン層112の上層にはシリコン層113が形成されている。このシリコン層113上にはゲート絶縁膜114を介してゲート電極115が設けられている。そしてゲート電極115の両側のシリコン層113にはソース・ドレイン領域116, 117が形成されている。

【0003】

【発明が解決しようとする課題】 しかしながら、上記従来の技術で説明したSOI構造では、シリコン層が酸化シリコン膜と接しているため、その界面で不純物は偏析を受ける。例えば、上記構成の金属-絶縁体-半導体

〔以下、MISという。MISはMetal Insulator Semiconductorの略である〕型のトランジスタのチャネル内にホウ素を不純物としてドーピングした場合には、シリコン層と酸化シリコン膜との界面で、不純物の偏析領域

が発生し、ホウ素の濃度が低下する。

【0004】 そのため、NMOS型の狭チャネルトランジスタでは、図10の電流(ドレイン電流Id) - 電圧(ゲート電圧Vg)特性に示すように、いわゆるキンクを生じる。この結果、低いゲート電圧の領域でもリーク電流が発生し易くなるため、トランジスタ特性が劣化する。

【0005】 本発明は、不純物の偏析によるシリコン層の不純物濃度の変動を抑えるのに優れた張り合わせ基板

10 に製造方法、およびいわゆるキンクを発生することなく、電流-電圧特性に優れたトランジスタの製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明は、上記目的を達成するためになされた張り合わせ基板に製造方法およびトランジスタの製造方法である。

【0007】 すなわち、張り合わせ基板の製造方法は、第1工程で、シリコン基板に溝を形成して凸状部を形成する。次いで第2工程で、溝の内壁を含むシリコン基板

20 表面にホウ素を含む酸化シリコンからなる絶縁膜を形成する。続いて第3工程で、絶縁膜の表面に平坦化膜を形成した後、その表面を支持基板に張り合わせる。その後第4工程で、絶縁膜をストップにしてシリコン基板の裏面側から除去して、シリコン基板の凸状部を残してシリコン層を形成する。そして上記第2工程以降に絶縁膜中のホウ素をシリコン層界面近傍に拡散させる熱処理を行う製造方法である。または上記製造方法において、第2工程で、溝の内壁を含むシリコン基板表面に酸化シリコンからなる絶縁膜を形成した後、その絶縁膜にホウ素をドーピングする方法である。

【0008】 トランジスタの製造方法は、上記張り合わせ基板のシリコン層上にゲート絶縁膜を形成し、次いでゲート絶縁膜上的一部分にゲート電極を形成し、その後ゲート電極の両側のシリコン層に不純物をドーピングしてソース・ドレイン領域を形成する。

【0009】 または、上記張り合わせ基板の製造方法の第1工程～第4工程において、第1シリコン層と第2シリコン層を形成した後、第5工程で、第1シリコン層上に第1ゲート絶縁膜を形成するとともに第2シリコン層

40 上に第2ゲート絶縁膜を形成した後、第1ゲート絶縁膜上的一部分に第1ゲート電極を形成するとともに第2ゲート絶縁膜上的一部分に第2ゲート電極を形成する。その後第6工程で、第1ゲート電極の両側の第1シリコン層に第1導電型の不純物をドーピングして第1ソース・ドレイン領域を形成し、第7工程で、第2ゲート電極の両側の第2シリコン層に前記第1導電型とは逆導電型の第2導電型の不純物をドーピングして第2ソース・ドレイン領域を形成する。そして上記第2工程以降に第2工程で形成した絶縁膜中のホウ素をシリコン層界面近傍に拡散させる熱処理を行う方法である。

## 【0010】

【作用】上記張り合わせ基板の製造方法では、絶縁膜にホウ素が含まれているため、熱処理工程によって、絶縁膜中のホウ素がシリコン層の界面近傍に拡散される。そのため、シリコン層の界面近傍の不純物（ホウ素）濃度は偏析を受けても低下する事がない。上記トランジスタの製造方法では、上記製造方法による張り合わせ基板を用いることから、シリコン層の界面近傍のホウ素濃度が低下していない。そのため、特にnチャネルトランジスタでは、寄生トランジスタによるいわゆるキンクの発生が抑えられる。

## 【0011】

【実施例】本発明に係る張り合わせ基板の製造方法の第1実施例を図1の製造工程図により説明する。

【0012】図1の(1)に示す第1工程では、通常のリソグラフィー技術（例えば、レジスト塗布、露光、現像、ペーリング等）によって、エッチングマスク（図示省略）を形成し、その後のエッチング処理によって、シリコン基板11に溝12を形成して凸状部13を形成する。

【0013】次いで図1の(2)に示す第2工程では、例えば化学的気相成長（以下、CVDという）法によって、溝12の内壁を含むシリコン基板11の表面に絶縁膜として酸化シリコン膜14を形成する。この酸化シリコン膜14は膜中にホウ素を含むもので、例えばホウ素シリケートガラス（BSG）や低濃度のリン（P）を含むホウ素リンシリケートガラス（BPSG）等で形成されている。

【0014】続いて図1の(3)に示す第3工程では、例えばCVD法によって、酸化シリコン膜14の表面に多結晶シリコン膜を成膜してから、研磨によってその多結晶シリコン膜の表面を平坦化して、平坦化膜15を形成する。その後、通常の張り合わせ基板を製造するのと同様の方法によって、上記平坦化膜15の表面を支持基板16に張り合わせる。ここでは、支持基板16にシリコン基板を用いた。

【0015】図1の(4)に示す第4工程では、酸化シリコン膜14をストップにしてシリコン基板11の裏面側から研削しさらに研磨して、シリコン基板11の2点鎖線で示す部分を除去し、凸状部(13)を残す。この凸状部(13)がシリコン層17になる。この(4)の図は上記(1)～(3)の図に対して上下反転した状態で示してある。

【0016】そして、熱処理を行って、酸化シリコン膜14中のホウ素をシリコン層17の界面近傍に拡散させて拡散層18を形成する。この熱処理工程は支持基板16に張り合わせる際に行う熱処理工程で兼ねることも可能である。またこの熱処理は、第2工程以降であれば、どの工程で行っても差し支えはない。

【0017】上記第1実施例の張り合わせ基板の製造方

法では、酸化シリコン膜14にホウ素が含まれているため、熱処理工程によって、そのホウ素がシリコン層17の界面近傍に拡散される。そのため、シリコン層17の界面近傍の不純物（ホウ素）濃度は低下することがない。

【0018】次に張り合わせ基板の製造方法の第2実施例を図2の製造工程図により説明する。図2では、上記図1で説明したと同様の構成部品には同一の符号を付す。また、上記第1実施例と同様の工程は、上記第1実施例の説明を参照して頂き、ここでの説明は省略する。

【0019】上記第1実施例で説明した第1工程を行って、図2の(1)に示すように、シリコン基板11に溝12を形成して凸状部13を形成する。次いで第2工程を行う。この工程では、例えばCVD法によって、溝12の内壁を含むシリコン基板11の表面に絶縁膜として酸化シリコン膜14を形成する。その後、例えばイオン注入法によって、酸化シリコン膜14にホウ素(B<sup>+</sup>)または二フッ化ホウ素(BF<sub>2</sub><sup>+</sup>)をイオン注入する。一例として、酸化シリコン膜14の膜厚が100nm程度の場合には、B<sup>+</sup>のイオン注入条件は、打ち込みエネルギーが20keV～30keVに設定され、ドーズ量が10<sup>12</sup>個/cm<sup>2</sup>～10<sup>15</sup>個/cm<sup>2</sup>に設定される。

【0020】その後図2の(2)に示すように、上記第1実施例で説明した第3工程を行って、酸化シリコン膜14の表面に平坦化膜15を形成し、その表面を支持基板16に張り合わせる。そして第4工程を行って、酸化シリコン膜14をストップにしてシリコン基板11の裏面側から除去して、シリコン基板11の凸状部(13)を残してシリコン層17を形成する。さらに熱処理工程によって、酸化シリコン膜14中のホウ素をシリコン層17の界面近傍に拡散させて、拡散層18を形成する。

【0021】上記第2実施例の張り合わせ基板の製造方法でも上記第1実施例と同様に、ホウ素がシリコン層17の界面近傍に拡散されたため、シリコン層17の界面近傍の不純物（ホウ素）濃度は低下する事がない。

【0022】ここで、偏析を示す基板濃度と深さとの関係を図3によって説明する。図3は、縦軸に不純物を示し、横軸に深さ方向を示す。図に示すように、シリコン層中の不純物は、シリコン/酸化シリコン界面で再分布を受ける。不純物がホウ素の場合には、シリコンのバブル内に対して界面付近で不純物が低下し、C<sub>ssi</sub>/C<sub>B</sub>は0.1～0.5程度となる。この値はアニーリング温度、雰囲気により変化する。一方、界面のシリコン側と酸化シリコン側でも不純物濃度は異なる。ホウ素の場合には、界面のシリコン側で不純物濃度は低下し、酸化シリコン側に吸収される。界面でのシリコン側の不純物濃度と酸化シリコン側の不純物濃度の比m(m=C<sub>ssi</sub>/C<sub>ssi:02</sub>)を偏析係数といい、これもアニーリング温度、雰囲気により異なり、0.1～1.0程度の値を取る。しかし、偏析係数は、アニーリング時間および基板

中の不純物濃度 ( $C_B$ ) には依存せず、アニーリング条件で与えられた固有の値を取る。

【0023】次に偏析を示すホウ素シリケートガラス、(BSG) の不純物濃度と深さとの関係を図4によって説明する。図4は、縦軸に不純物を示し、横軸に深さ方向を示す。図に示すように、ホウ素シリケートガラスに含まれるホウ素は、熱処理によってシリコン基板内に拡散するが、このときの不純物分布も偏析係数が関係してくれる。前記のように、偏析係数は、不純物濃度には依存せず、アニーリング条件によって決定される。そのため、ある適当なアニーリング条件によって固有の偏析係数が与えられた場合の不純物濃度は、シリコン/ホウ素シリケートガラス界面でのホウ素濃度をそれぞれ  $C_{Si}$ 、 $C_{BSG}$  とすると、 $C_{Si} = m \cdot C_{BSG}$  で与えられる。すなわち、ホウ素シリケートガラスのホウ素濃度を調整することでシリコン界面での不純物濃度を所望の値に設定できる。

【0024】次に本発明に係わるトランジスタの製造方法の第1実施例を図5の製造工程図により説明する。なお、シリコン層を形成するまでは、上記張り合わせ基板の製造方法の第1実施例または第2実施例と同様であるので、ここでの説明はシリコン層にトランジスタを形成するところから始める。また、上記図1、図2で説明したのと同様の構成部品には同一の符号を付す。

【0025】図5の(1)に示すように、上記第1実施例または第2実施例で説明した第1工程～第4工程および熱処理工程を行うことによって、支持基板16上に多結晶シリコンからなる平坦化層15とホウ素を含む酸化シリコン膜14とが形成され、さらに酸化シリコン層14の上層の一部分にシリコン層17が形成されて、張り合わせ基板が構成されている。上記酸化シリコン層14側の上記シリコン層17の界面近傍にはホウ素が拡散されてなる拡散層18が形成されている。

【0026】次いで図5の(2)に示す第5工程を行う。この工程では、例えば熱酸化法によって、上記シリコン層17の表面に酸化シリコンからなるゲート絶縁膜21を形成する。次いで例えばCVD法によって多結晶シリコン膜を形成し、さらにこの多結晶シリコン膜の上層をシリサイド化してポリサイド層を形成する。その後リソグラフィー技術(レジスト塗布、露光、現像、ベーリング等)およびエッチング技術によって、上記ポリサイド層でゲート電極22を形成する。次いでイオン注入法によって、上記ゲート電極22の両側のシリコン層17に不純物をドーピングしてソース・ドレイン領域23、24を形成する。なお、ポリサイドプロセスは上記説明した方法に限定されることはなく、その他の既知の方法を用いることも可能である。また上記ソース・ドレイン領域23、24は、例えばLDD(Lightly Doped Drain)構造に形成してもよい。

【0027】上記トランジスタの製造方法の第1実施例

では、張り合わせ基板の製造方法の第1、第2実施例で説明した張り合わせ基板を用いることから、シリコン層17の界面近傍のホウ素濃度が低下していない。そのため、特にnチャネルトランジスタを形成した場合には、寄生トランジスタによるいわゆるキンクの発生が抑えられる。

【0028】次にトランジスタの製造方法の第2実施例を図6、図7の製造工程図(その1)、(その2)により説明する。なお、第1、第2シリコン層を形成するまでは、上記張り合わせ基板の製造方法の第1実施例または第2実施例とほぼ同様であるので、ここでは簡単に説明する。また、上記図1、図2で説明したのと同様の構成部品には同一の符号を付す。

【0029】図6の(1)に示す第1工程では、通常のリソグラフィー技術およびエッチング処理によって、シリコン基板11に溝12を形成して第1凸状部61と第2凸状部62を形成する。

【0030】次いで図6の(2)に示す第2工程では、例えばCVD法によって、溝12の内壁を含むシリコン基板11の表面に酸化シリコン膜14を形成する。この酸化シリコン膜14は、例えばホウ素シリケートガラス(BSG)や低濃度のリン(P)を含むホウ素リンシリケートガラス(BPSG)等からなる。または、イオン注入法によって酸化シリコン膜14中にホウ素をドーピングしたものでからなる。

【0031】統いて図6の(3)に示す第3工程では、例えばCVD法によって、酸化シリコン膜14の表面に多結晶シリコン膜を成膜し、その表面を平坦化研磨して平坦化膜15を形成する。その後、通常の基板の張り合わせ技術によって、上記平坦化膜15の表面を支持基板16に張り合わせる。

【0032】図6の(4)に示す第4工程では、酸化シリコン膜14をストップにした研削、研磨によってシリコン基板(11)の裏面側から除去し、シリコン基板(11)の第1、第2凸状部(61、62)を残す。この第1凸状部(61)が第1シリコン層31になり、第2凸状部(62)が第2シリコン層41になる。なお、この(4)の図は上記(1)～(3)の図に対して上下反転した状態で示してある。

【0033】そして、熱処理を行って、酸化シリコン膜14中のホウ素を第1、第2シリコン層31、41の界面近傍に拡散させて第1、第2拡散層32、42を形成する。この熱処理工程は支持基板16に張り合わせる際に用いる熱処理工程で兼ねることも可能である。またこの熱処理は、第2工程以降であれば、どの工程で行っても差し支えはない。

【0034】次いで図7の(1)に示す第5工程を行う。この工程では、例えば熱酸化法によって、上記第1、第2シリコン層31、41の各表面に酸化シリコンからなる第1、第2ゲート絶縁膜33、43を形成す

る。次いで既知のゲート電極形成プロセスによって、第1ゲート絶縁膜33上に第1ゲート電極34を形成するとともに、第2ゲート絶縁膜43上に第2ゲート電極44を形成する。

【0035】続いて図7の(2)に示す第6工程を行う。この工程では、リソグラフィー技術(レジスト塗布、露光、現像、ベーリング等)によって、第2シリコン層41側を覆うレジストマスク51を形成する。そしてイオン注入法によって、上記第1ゲート電極34の両側の第1シリコン層31に第1導電型不純物(例えばn型不純物)をドーピングして第1ソース・ドレイン領域35、36を形成する。その後、アッショングまたは剥離液を用いたウェット処理によって、上記レジストマスク51を除去する。

【0036】そして図7の(3)に示す第7工程を行う。この工程では、リソグラフィー技術(レジスト塗布、露光、現像、ベーリング等)によって、第1シリコン層31側を覆うレジストマスク52を形成する。そしてイオン注入法によって、上記第2ゲート電極44の両側の第2シリコン層41に第2導電型不純物(例えばp型不純物)をドーピングして第2ソース・ドレイン領域45、46を形成する。このようにして、第1シリコン層31にnチャネルトランジスタ30が形成され、第2シリコン層41にpチャネルトランジスタ40が形成される。なお、上記第1、第2ソース・ドレイン領域35、36、45、46は、例えばLDD(Lightly Doped Drain)構造等に形成してもよい。

【0037】また、上記図6の(2)で説明した第2工程において、酸化シリコン膜14へのホウ素のドーピングを、第1凸状部61を覆う部分の酸化シリコン膜14のみに選択的に行ってもよい。その方法を、図8の第3実施例の製造工程図に示す。

【0038】すなわち、図8の(1)に示すように、上記第2工程では、例えばCVD法によって、溝12の内壁を含むシリコン基板11の表面に酸化シリコン膜14を形成する。次いでリソグラフィー技術(レジスト塗布、露光、現像、ベーリング等)によって、第2凸状部62側を覆うレジストマスク53を形成する。続いてイオン注入法によって酸化シリコン膜14中にホウ素をドーピングする。その後、アッショングまたは剥離液を用いたウェット処理によって、レジストマスク53を除去する。

【0039】このようにイオン注入した後、第3工程以降の工程を行うことで、図8の(2)に示すように、第1シリコン層31のみに第1拡散層32が形成される。

【0040】その後、上記図7で説明したようにトランジスタの形成を行う。その際、図7の(2)で説明した第6工程では、第1導電型の不純物にn型不純物を用いる。また、図7の(3)で説明した第7工程では、第2導電型の不純物にp型不純物を用いる。このようにし

て、図8の(3)に示すように、ホウ素を拡散してなる第1拡散層32を有する第1シリコン層31にnチャネルトランジスタ30が形成され、第2シリコン層41にpチャネルトランジスタ40が形成される。そして第2シリコン層41にはホウ素を拡散してなる拡散層は形成されない。

【0041】上記図8で説明した製造方法によれば、pチャネルトランジスタの形成領域にホウ素がドーピングされてなく、またn型導電層(配線としての機能を有する薄膜層(図示省略))にもホウ素がドーピングされていない。このため、pチャネルトランジスタの基板濃度の上昇、n型導電層の抵抗の上昇等が防げる。

【0042】【発明の効果】以上、説明したように本発明の張り合わせ基板の製造方法によれば、絶縁膜にホウ素が含まれているため、そのホウ素がシリコン層の界面近傍に拡散されるので、絶縁膜の界面近傍の不純物(ホウ素)濃度が低くならないシリコン層を形成することができる。トランジスタの製造方法によれば、シリコン層の界面近傍のホウ素濃度が低下していないので、特にnチャネルトランジスタでは、寄生トランジスタによるいわゆるキックの発生が抑えられる。そのため、電流-電圧特性に優れたトランジスタを形成することができる。

#### 【図面の簡単な説明】

【図1】張り合わせ基板の第1実施例の製造工程図である。

【図2】張り合わせ基板の第2実施例の製造工程図である。

【図3】偏析を示す基板濃度と深さの関係図である。

【図4】偏析を示すBSGの不純物濃度と深さとの関係図である。

【図5】トランジスタの第1実施例の製造工程図である。

【図6】トランジスタの第2実施例の製造工程図(その1)である。

【図7】トランジスタの第2実施例の製造工程図(その2)である。

【図8】トランジスタの第3実施例の製造工程図である。

【図9】従来のトランジスタの概略構成図である。

【図10】従来のトランジスタの電流-電圧特性図である。

#### 【符号の説明】

11 シリコン基板

12 溝

13 凸状部

14 酸化シリコン膜

15 平坦化膜

16 支持基板

17 シリコン層

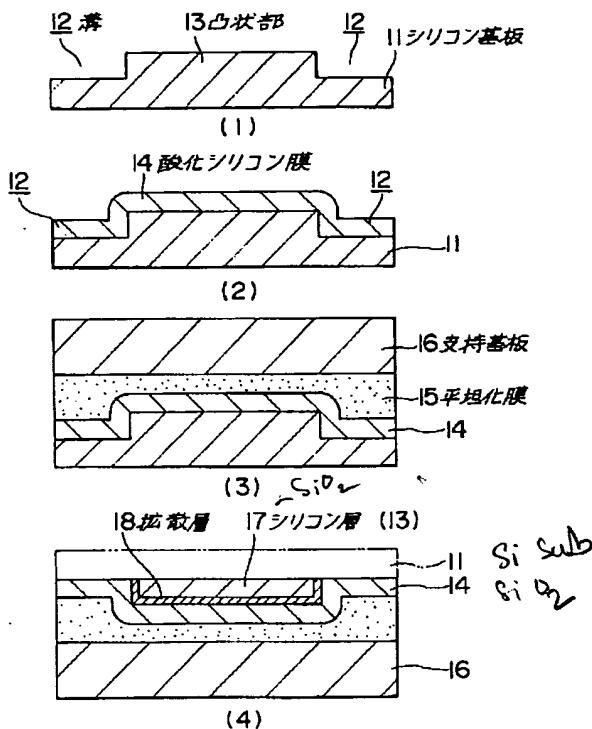
11

12

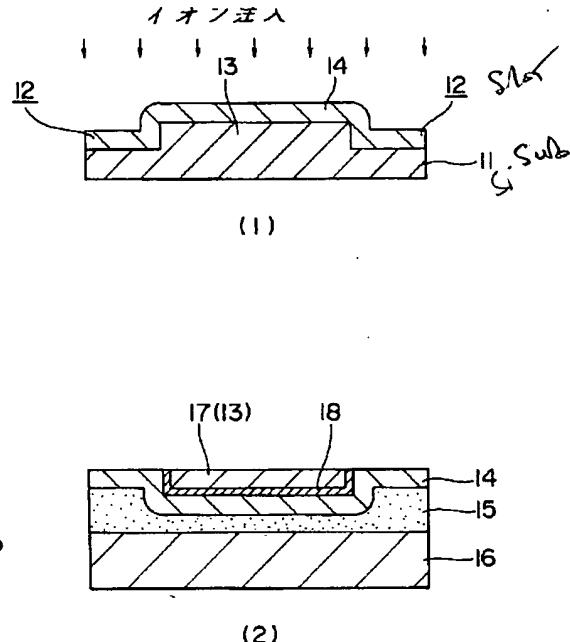
18 拡散層  
21 ゲート絶縁膜  
22 ゲート電極

23 ソース・ドレイン領域  
24 ソース・ドレイン領域

【図1】



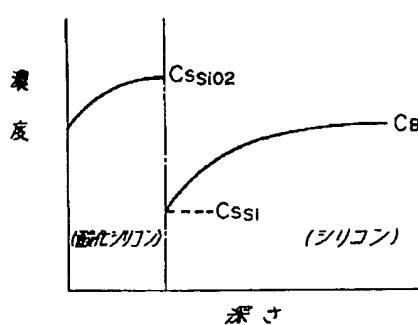
【図2】



張り合わせ基板の第2実施例の製造工程図

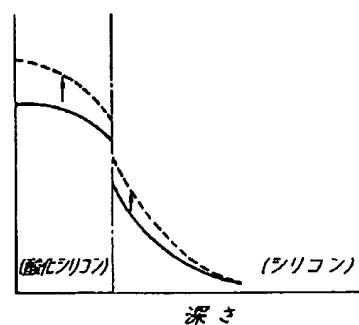
張り合わせ基板の第1実施例の製造工程図

【図3】



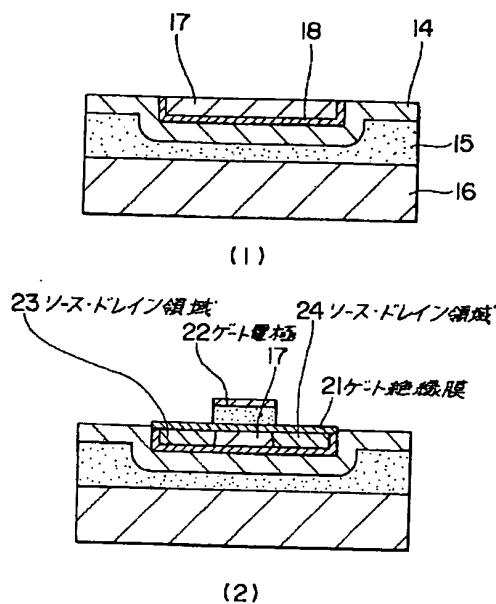
偏析を示す基板濃度と深さとの関係図

【図4】



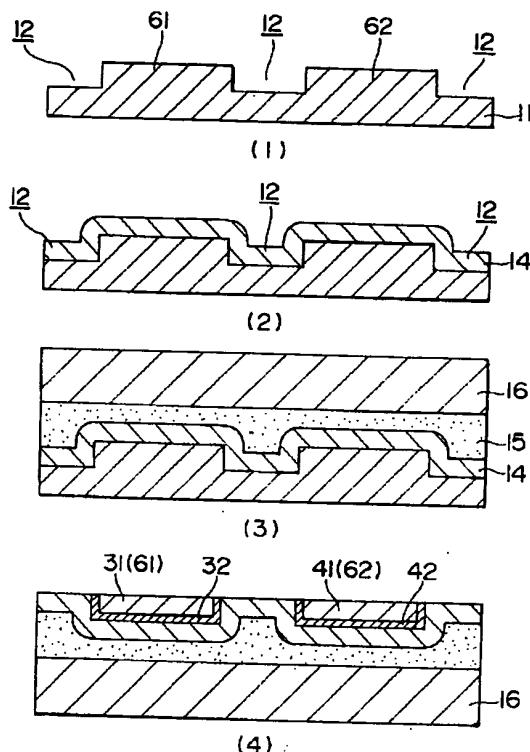
偏析を示すBSGの不純物濃度と深さとの関係図

【図5】



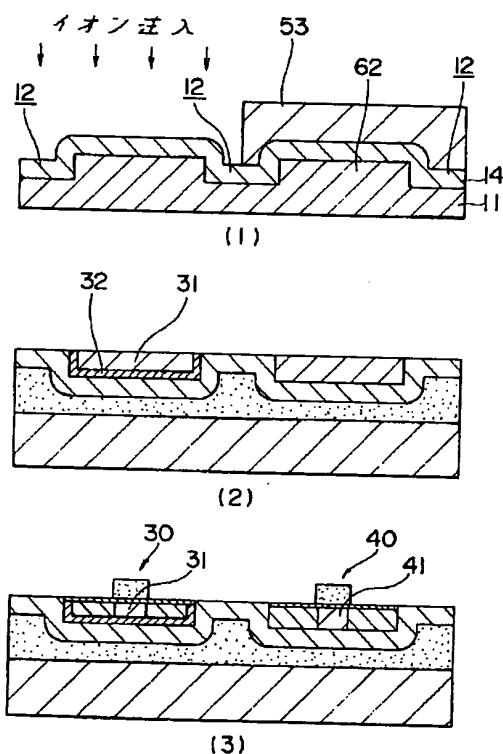
トランジスタの第1実施例の製造工程図

【図6】



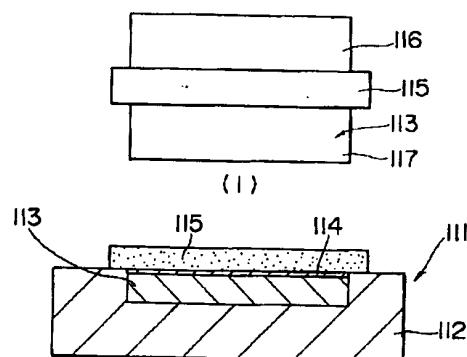
トランジスタの第2実施例の製造工程図(その1)

【図8】



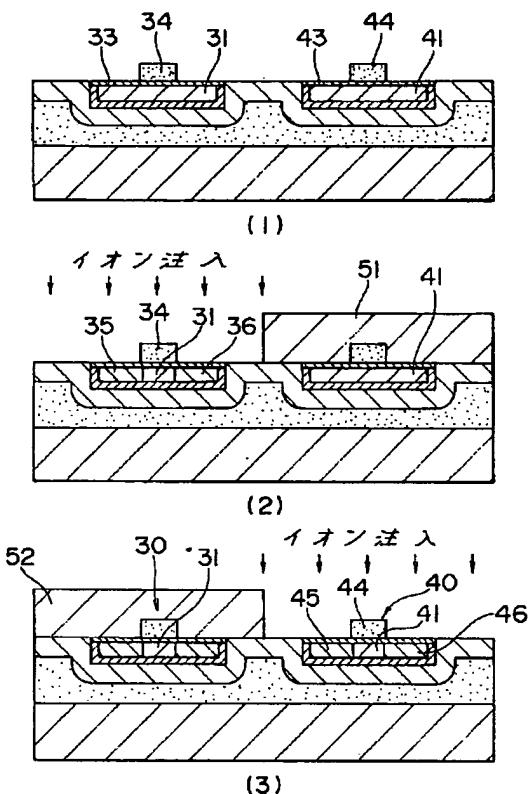
トランジスタの第3実施例の製造工程図

【図9】



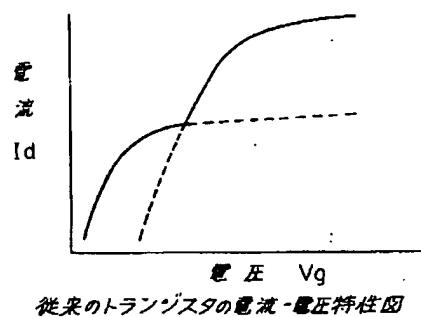
従来のトランジスタの概略構成図

【図7】



トランジスタの第2実施例の製造工程図(その2)

【図10】



フロントページの続き

(51) Int. Cl. 6

H 01 L 21/336

識別記号

府内整理番号

F I

技術表示箇所

DERWENT-ACC-NO: 1997-031548  
DERWENT-WEEK: 199703  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: SOI substrate mfg method e.g. for semiconductor device such as transistor - involves diffusing boron contained in silicon oxide film near boundary face of silicon layer and forming diffusion layer by heat treatment process

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1995JP-0096930 (April 21, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08293590 A	November 5, 1996	N/A	009	H01L 027/12

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP08293590A	N/A	1995JP-0096930	April 21, 1995

INT-CL (IPC): H01L021/02; H01L021/336 ; H01L021/762 ; H01L027/12 ; H01L029/786

ABSTRACTED-PUB-NO: JP08293590A

BASIC-ABSTRACT: The method involves forming a slot (12) in a silicon substrate (11) thereby forming a convex shaped part (13). Then, a silicon oxide film (14) which contains boron is formed on the surface of the substrate including the slot portion. A planarization film (15) is formed on the surface of the silicon film. Then, the surface of planarization film is joined to a support substrate (16).

The silicon oxide film is removed from the back of the silicon substrate and a silicon layer (17) is joined in the convex shape part. Then, the boron in the silicon oxide film is diffused near the boundary face of the silicon layer and a diffusion layer (18) is formed by heat treatment process.

ADVANTAGE - Suppresses change of impurity concentration in silicon layer by segregation of impurity. Eliminates generation of kink thereby enabling

improvement of current voltage characteristics of transistor.

CHOSEN-DRAWING: Dwg.1/10

**TITLE-TERMS:**

SOI SUBSTRATE MANUFACTURE METHOD SEMICONDUCTOR DEVICE  
TRANSISTOR DIFFUSION  
BORON CONTAIN SILICON OXIDE FILM BOUNDARY FACE SILICON LAYER  
FORMING DIFFUSION  
LAYER HEAT TREAT PROCESS

DERWENT-CLASS: U11 U12

EPI-CODES: U11-C18A3; U12-D02A4;

**SECONDARY-ACC-NO:**

Non-CPI Secondary Accession Numbers: N1997-026797